

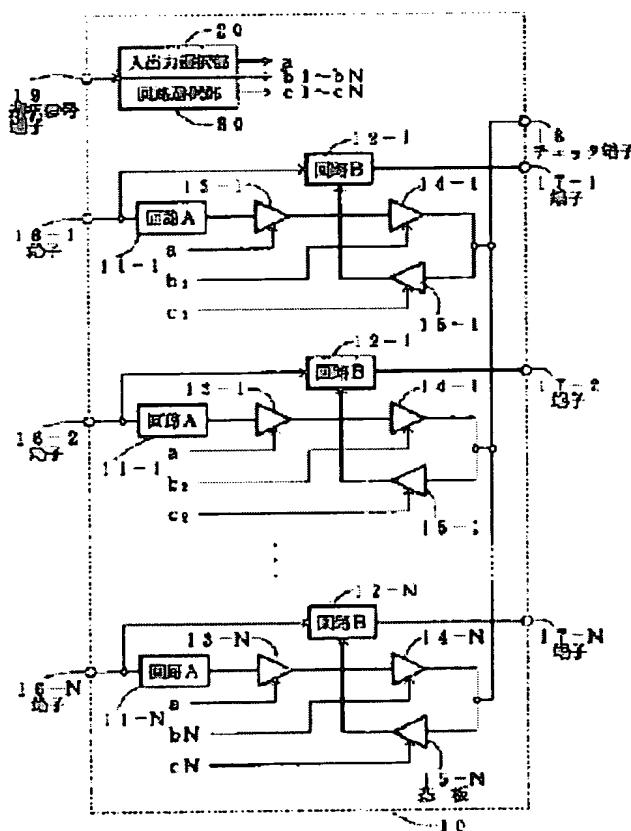
## ELECTRONIC APPARATUS

**Patent number:** JP7260885  
**Publication date:** 1995-10-13  
**Inventor:** ISHIDA MASAMI; others: 01  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - international: G01R31/28; G06F11/22  
 - european:  
**Application number:** JP19940048732 19940318  
**Priority number(s):**

## Abstract of JP7260885

**PURPOSE:** To decrease the number of terminals to be tested by making a selection between input and output of a signal to/from the check terminal for a selected circuit and inputting a signal from a selected circuit to the check terminal or outputting a signal from the check terminal to the selected circuit.

**CONSTITUTION:** Switch circuits 13-15, a check terminal 18, an I/O selecting section 20, and a circuit selecting section 30 are provided on a substrate 10. The circuit 13 is normally turned ON while the circuits 14, 15 are normally turned OFF and an output from a circuit A11 is fed to a circuit B12 and no signal appears at terminal 18. When the output from a circuit A11-1 is fed to the check terminal, a switch circuit 13-1 is turned ON and only a switch circuit 14-1 is turned ON. When a signal is fed from the terminal 18 to a circuit B12-1, the circuits 13-1, 14-1 are turned OFF while a circuit 15-1 is turned ON. Selecting sections 20, 30 generate signals (a), (b), (c) for controlling turn ON/OFF of the circuits 13, 14 and 15.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-260885

(43) 公開日 平成7年(1995)10月13日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/22	3 1 0 R		G 0 1 R 31/ 28	H

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21) 出願番号 特願平6-48732

(22) 出願日 平成6年(1994)3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 石田 正美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 小倉 謙一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 瀧野 秀雄 (外1名)

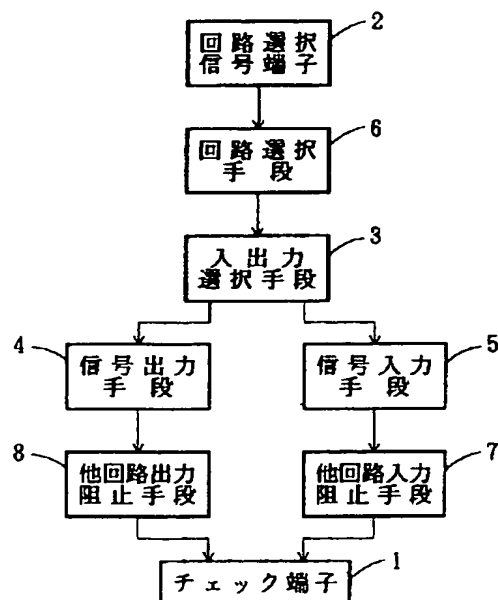
(54) 【発明の名称】 電子機器

(57) 【要約】

【目的】 本発明は試験のためのチェック端子を削減し、効率良く回路が実装および試験ができるようにした電子機器を提供することを目的とする。

【構成】 基板に複数の被試験回路が実装されている電子機器であって、試験信号が入出力されるチェック端子と、実装された回路の中の試験を行なう回路を選択するための回路選択信号が入力される回路選択手段端子と、入力された回路選択信号に応じて前記チェック端子より信号を入力させるか又は出力させるかを選択する入出力選択手段と、出力が選択されたとき、前記回路選択信号に応じて選択された回路の出力信号を前記チェック端子に出力する信号出力手段と、入力を選択されたとき、前記回路選択信号に応じて選択された回路に対して前記チェック端子よりの信号を入力する信号入力手段と、を備える。

原 理 図



## 【特許請求の範囲】

【請求項1】 基板に複数の被試験回路が実装されている電子機器であって、

前記基板に設けられ、試験信号が入出力されるチェック端子(1)と、

実装された回路の中の試験を行なう回路を選択するための回路選択信号が入力される回路選択手段端子(2)

と、

前記回路選択信号端子(2)より入力された回路選択信号に応じて前記チェック端子(1)より信号を入力させ

るか又は出力させるかを選択する入出力選択手段(3)

と、

前記入出力選択手段(3)で出力が選択されたとき、前記回路選択信号に応じて選択された回路の出力信号を前記チェック端子(1)に出力する信号出力手段(4)

と、

前記入出力選択手段(3)で入力を選択されたとき、前記回路選択信号に応じて選択された回路に対して前記チェック端子(1)よりの信号を入力する信号入力手段

(5)と、

を備えたことを特徴とする電子機器。

【請求項2】 前記入出力選択手段(3)が入力を選択したとき、前記回路選択信号に応じて選択された回路に対して実装されている他の回路よりの入力を阻止する他回路入力阻止手段(7)を備えたことを特徴とする請求項1記載の電子機器。

【請求項3】 前記入出力選択手段(3)が出力を選択したとき、前記回路選択信号に応じて選択された回路に対して実装されている他の回路よりの出力を阻止する他回路出力阻止手段(8)を備えたことを特徴とする請求項1または2記載の電子機器。

【請求項4】 前記回路選択信号端子(2)より入力される信号に対して回路選択を行なう回路選択手段(6)を備えたことを特徴とする請求項1、2または3記載の電子機器。

【請求項5】 前記チェック端子(1)および回路選択信号端子(2)を実装されている回路の端子とは別にして外部と接続するようにしたことを特徴とする請求項1、2、3または4記載の電子機器。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、磁気テープ装置等の同一の機能を有する回路を複数個備えて成る電子機器に関し、特に、プリント基板に実装された複数の回路に対して試験を行なうための試験回路の一部をプリント基板に搭載し、実装された複数の回路の試験を容易に行なうことを可能とする電子機器に関する。

【0002】

【従来の技術】従来の基板に実装された回路を試験する試験方法を図7を参照して説明する。図7は、出来へッ

ドにより磁気テープより読出された信号をデジタル信号に変換する回路が基板に実装されている場合を示している。

【0003】図7において、10は基板、11はPLL回路(回路A)、12は復調器(回路B)、16は入力端子、17は出力端子、18はチェック端子、19はバッファ増幅器である。磁気テープは複数の記録トラック(例えば $n=18$ )を有する。各トラックの読取信号は、磁気ヘッドから同時に出力される。読出信号は、それぞれ図示しない増幅器で増幅され、イコライザ回路で等化されて、入力端子16-1~16-nに入力される。

【0004】PLL回路(回路A)11では、入力端子16より入力された信号よりクロック信号を再生して出力する復調器(回路B)12では、入力端子16より入力された信号とPLL回路(回路A)11より出力されたクロック信号よりデジタル信号に再生して出力端子17より出力する。

【0005】また、PLL回路(回路A)の動作をチェックするために、出力クロック信号をバッファ増幅器19を介してチェック端子18に出力している。すなわち、従来は、試験を行なう回路毎にチェック端子を設けていた。すなわち、図7では、回路A11の試験に対してチェック端子18を設け、端子16より信号を入力し、回路A11の出力をチェック端子18より出力させて試験を行なわせていた。

【0006】

【発明が解決しようとする課題】前述したように、基板に実装されている回路を試験するためには、従来は試験を行なう回路毎にチェック端子を設けて試験を行なうようにしていた。そこで、磁気テープより同時に読出すトラック数が2倍になると、入力端子16、出力端子17およびチェック端子18の端子数も2倍を必要とする。

【0007】PLL回路11、復調器12およびバッファ増幅器19は小形化、またはIC化され、トラックが2倍となっても実装可能であっても基板の端子数が不足することが発生する。このため、基板に回路を実装させるスペースがあるにもかかわらず、端子数が不足するため実装する回路が制限されたり、実装回路の試験を容易に行なうことができるにもかかわらずチェック端子を設けられないことが発生していた。

【0008】本発明は、試験のためのチェック端子を削減し、効率良く回路実装が行なえるようにした電子機器を提供することを目的とする。

【0009】

【課題を解決するための手段】前述の課題を解決するために本発明が採用した手段を図1を参照して説明する。図1は本発明の原理図である。基板に複数の被試験回路が実装されている電子機器であって、前記基板に設けられ、試験信号が入出力されるチェック端子(1)と、実

装された回路の中の試験を行なう回路を選択するための回路選択信号が入力される回路選択手段端子(2)と、前記回路選択信号端子(2)より入力された回路選択信号に応じて前記チェック端子(1)より信号を入力させるか又は出力させるかを選択する入出力選択手段(3)と、前記入出力選択手段(3)で出力が選択されたとき、前記回路選択信号に応じて選択された回路の出力信号を前記チェック端子(1)に出力する信号出力手段(4)と、前記入出力選択手段(3)で入力を選択されたとき、前記回路選択信号に応じて選択された回路に対して前記チェック端子(1)よりの信号を入力する信号入力手段(5)と、を備える。

【0010】また、前記入出力選択手段(3)が入力を選択したとき、前記回路選択信号に応じて選択された回路に対して実装されている他の回路よりの入力を阻止する他回路入力阻止手段(7)を備える。また、前記入出力選択手段(3)が出力を選択したとき、前記回路選択信号に応じて選択された回路に対して実装されている他の回路よりの出力を阻止する他回路出力阻止手段(8)を備える。

【0011】また、前記回路選択信号端子(2)より入力される信号に対して回路選択を行なう回路選択手段(6)を備える。また、前記チェック端子(1)および回路選択信号端子(2)を実装されている回路の端子とは別にして外部と接続する。

【0012】

【作用】入出力選択手段3は、回路選択信号端子2より入力された回路選択信号に応じて、チェック端子1より信号を入力させるか出力させるかを選択する。信号出力手段4は、入出力選択手段3で出力が選択されたとき、回路選択信号に応じて選択された回路よりの出力信号を

チェック端子1に出力する。  
【0013】信号入力手段5は、入出力選択手段3で入力を選択されたとき、回路選択信号に応じて選択された回路に対してチェック端子1より入力された信号を入力する。また、他回路入力阻止手段7は、入出力選択手段3で入力を選択されたとき、回路選択信号に応じて選択された回路に対して実装されている他の回路よりの入力を阻止する。

【0014】また、他回路出力阻止手段8は、入出力選択手段3で出力が選択されたとき、回路選択信号に応じて選択された回路に対して実装されている他の回路よりの出力を阻止する。また、回路選択手段6は、回路選択信号端子2より入力される信号に対して回路選択を行なう。

【0015】また、チェック端子1および回路選択信号端子2は基板に実装されている回路の入出力端子と区別して外部と接続される。以上のように、実装されている回路の中の試験を行なう回路を選択させ、選択された回路に対してチェック端子に信号を出力するか入力するか

を選択させ、選択された回路よりチェック端子に信号を出力または入力させるようにしたので回路を試験するために必要となる端子数を削減することができ効率良く回路を実装できる。

【0016】また、試験用のチェック端子を共用できるので、測定器を試験回路毎に接続変更することなく試験が行なえ、試験を容易に行なうことができる。また、チェック端子から選択された回路への入力または出力が選択された場合は、実装されている他の回路よりの信号の入力または出力を阻止するようにしたので、正確に試験を行なうことができる。

【0017】また、回路選択信号より回路を選択するデコーダを設けたので回路選択信号端子の端子数を少なくすることができる。また、チェック端子および回路選択信号端子を基板に実装されている回路の入出力端子と別にして外部と接続させるようにしたので、試験を容易に実施できると共に試験のための端子の増加が無くなる。

【0018】

【実施例】本発明の第1の実施例を図2乃至図4を参照して説明する。図2は第1の実施例の構成図、図3は同実施例の入出力選択部および回路選択部の具体例、図4は入出力選択部および回路選択部の動作説明図である。

【0019】図2において、基板10、回路A11、回路B12、端子16および17、チェック端子18は、従来例の図7で説明した通りである。しかし、従来例ではチェック端子18がn個あったのに対して実施例では1個である。また、13、14および15はスイッチ回路、19は選択信号を入力する選択信号端子、20はチェック端子に信号を出力するか入力するかを選択する入出力選択回路、30は実装されている回路の中の試験回路を選択する回路選択部である。

【0020】なおスイッチ回路13、14および15はアンド回路、トライステートバッファ、アナログスイッチ等で構成させても良い。通常動作時には、スイッチ回路13はON、スイッチ回路14および15はOFFとなっており、回路A11の出力が回路B12に輸入されて動作し、チェック端子18には信号は出力されない。

【0021】回路A11-1の出力をチェック端子に出力する場合は、スイッチ回路13-1をONにすると共にスイッチ回路14-1のみをONにする。また、チェック端子18よりの信号を回路B12-1に輸入する場合は、スイッチ回路13-1および14-1をOFFにし、スイッチ回路15-1をONにする。

【0022】スイッチ回路13、14および15をONにするかOFFにするかの制御信号a、bおよびcは入出力選択部20および回路選択部30で発生される。なおスイッチ回路13、14および15をONにするには制御信号a、bおよびcを「1」に、またOFFにするには「0」にする。

【0023】図3は入出力選択部20および回路選択部

30の具体例を示している。また、60は試験用の治具であり、回路の試験を行なう時は、チェック端子18および選択信号端子19を、図5に示すように、試験用治具60とケーブルで接続する。

【0024】試験用治具60はスイッチ61および62と、回路の試験用のチェック端子18に接続された端子63とで構成され、端子63に測定器が接続される。回路選択部30はデコーダ31で構成される。選択信号端子19と接続された選択信号線は抵抗23および32を介して+5Vの電源に接続され、試験用治具60が接続されていない時と試験用治具のスイッチ61および62がOFFの状態は「1」を出力し、スイッチがONの状態では「0」を出力する。

【0025】試験用治具60のスイッチ(1/O)61はチェック端子18に回路の試験信号を入力するか出力するかを、また、スイッチ(EN)62はどの回路を選択するかを示す選択番号を入力する。また、選択番号は、予め、実装された回路の中の試験を実行しようとする回路に対して割当ておく。

【0026】すなわち、例えば、図2で示した回路A11-1の出力および回路B12-1の入力に対しては「0001」を、回路A11-2の出力および回路B12-2の入力に対しては「0010」等を予め決めておく。デコーダ31は、「0001」が入力された場合はEN-1に「1」を出力する。また、「0010」が入力された場合にEN-2に「1」を出力し、その他が選択された場合は「0」を出力する。

【0027】入出力選択部20はアンド回路21と22で構成される。試験用治具60のスイッチ(1/O)61がONの時は入力が選択されaは「1」に、また、a=1の時デコーダ31の出力EN-1~Nの出力が「1」ならば対応するb1~Nが「1」に、c1~Nは「0」を出力する。すなわち、図4に示す信号が出力される。

【0028】いま、デコーダ31の出力EN-1が「1」を出力し、1/O=「0」ならば、a=「0」、b1=「0」、c1=「1」b2~N=「0」、c2~N=「0」となり、図2のスイッチ回路15-1のみがONとなり、チェック端子18より入力した信号が回路B12-1に1 1入力される。

【0029】また、EN-1が「1」で、1/O=「1」ならば、a=「1」、b1=「1」、c1=「0」b2~N=「0」、c2~N=「0」となり、回路A11-1の出力がスイッチ回路13-1および14-1を通してチェック端子に出力される。

【0030】なお、実施例では、試験用治具を使用して信号を発生するようにしていたが、これらのスイッチを基板内に設けて信号を発生させるようにしても良い。ま

た実施例では、図5に示すように、基板内に実装された回路の入出力端子16および17と、チェック端子18および選択信号端子19とを別々に設けたが、チェック端子18および選択信号端子19を入出力端子16および17と同じにしても良い。このように区別して設けることにより端子不足を少なくすることができる。

【0031】つぎに、図6を参照して、第2の実施例について説明する。図6において、50、51および52は実装されている回路、また、53および54は第1の実施例で説明した試験回路構成である。同一基板内に試験回路構成を2個設けることによって、一方の試験回路構成でチェック端子よりの入力を選択し、他方の試験回路構成装置でチェック端子への出力を選択するようにすることにより、任意の回路の試験を行なうことができる。

【0032】また、更に試験回路構成を設けることにより、複数入力の実装回路の試験を行なうことができる。

【0033】

【発明の効果】以上説明したように、本発明によれば次の効果が得られる。実装されている回路の中の試験を行なう回路を選択させ、選択された回路に対してチェック端子に信号を出力するか入力するかを選択させ、選択された回路よりチェック端子に信号を出力または入力させるようにしたので回路を試験するために必要となる端子数を削減することができ効率良く回路を実装できる。

【0034】また、試験用のチェック端子を共用できるので、測定器を試験回路毎に接続変更することなく試験が行なえ、試験を容易に行なうことができる。また、チェック端子から選択された回路への入力または出力が選択された場合は、実装されている他の回路よりの信号の入力または出力を阻止するようにしたので、正確に試験を行なうことができる。

【0035】また、回路選択信号より回路を選択するデコーダを設けたので回路選択信号端子の端子数を少なくすることができる。また、チェック端子および回路選択信号端子を基板に実装されている回路の入出力端子と別にして外部と接続させるようにしたので、試験を容易に実施できると共に試験のための端子の増加が無くなる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の第1の実施例の構成図である。

【図3】同実施例の入出力選択部および回路選択部の具体例である。

【図4】入出力選択部および回路選択部の動作説明図である。

【図5】実施例の説明図である。

【図6】本発明の第2の実施例の構成図である。

【図7】従来例の構成図である。

【符号の説明】

1, 18

チェック端子

2  
3  
4  
5  
6  
7  
8  
10

7

回路選択信号端子  
入出力選択手段  
信号出力手段  
信号入力手段  
回路選択手段  
他回路入力阻止手段  
他回路出力阻止手段  
基板

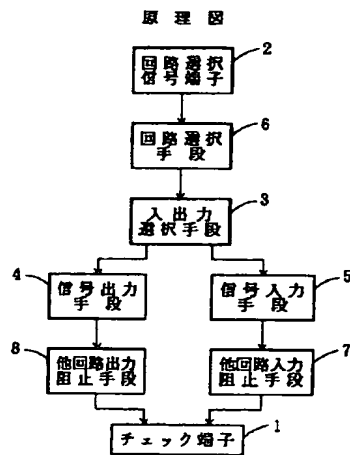
\*

\* 11, 12, 50, 51, 52  
13, 14, 15  
19  
20  
30  
21, 22  
31  
23, 32

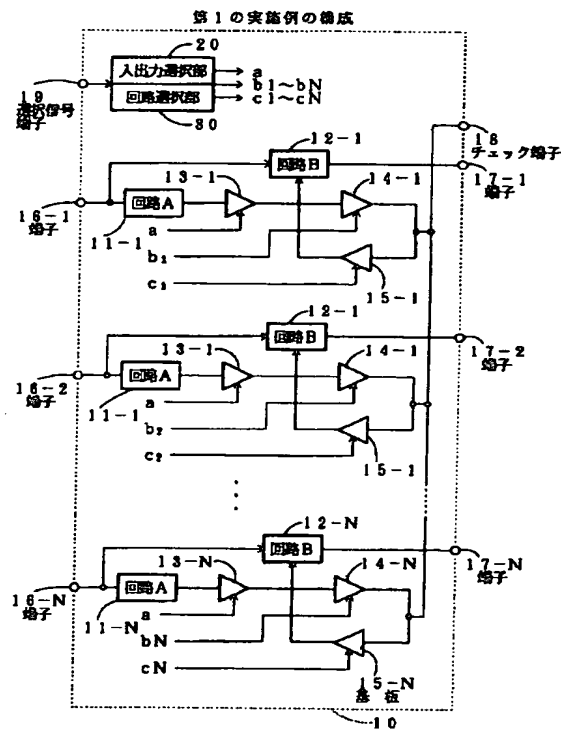
8

回路  
スイッチ回路  
選択信号端子  
入出力選択部  
回路選択部  
アンド回路  
デコーダ  
抵抗

【図1】



【図2】



【図4】

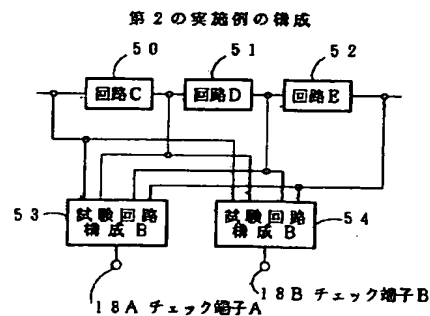
入出力および回路選択の動作説明図

I/O	EN-1~N	a	b1~N	c1~N
0	1	0	0	1
1	1	1	1	0
0	0	0	0	0
1	0	1	0	0

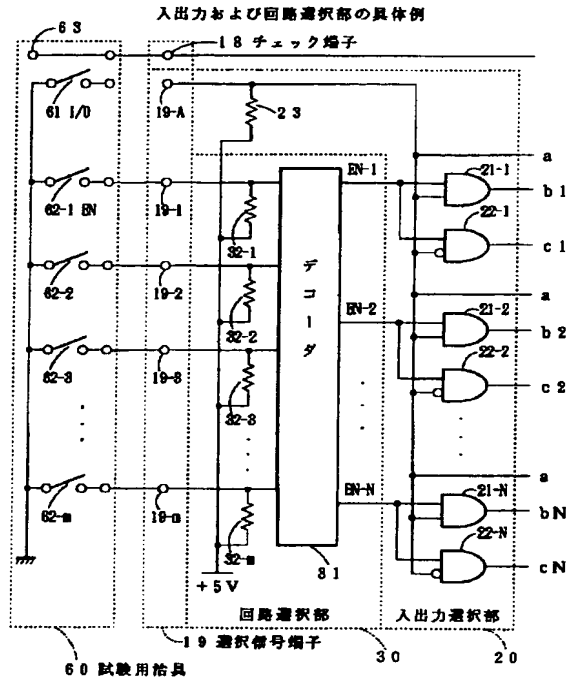
I/OSW=ON (I/O=0) : 入力選択

a, b1~N, c1~N=0 : スイッチ回路OFF

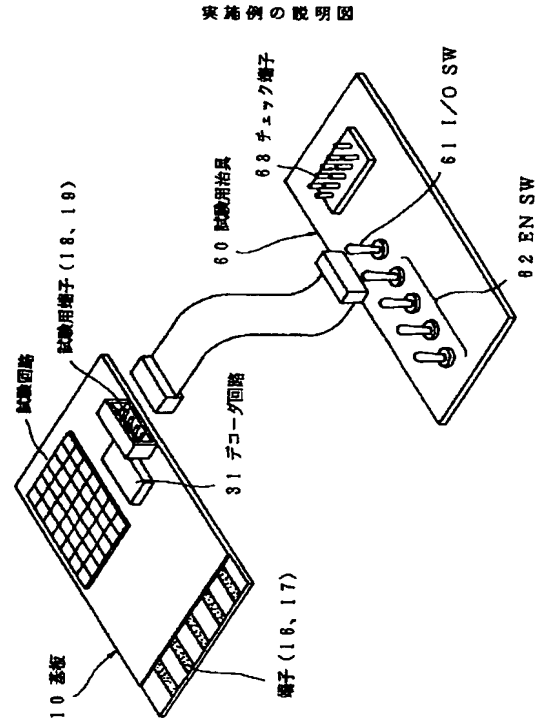
【図6】



【図3】



【図5】



【図7】

